

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-289811

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

G09G 3/28

(21)Application number : 05-079959

(71)Applicant : NEC CORP

(22)Date of filing : 07.04.1993

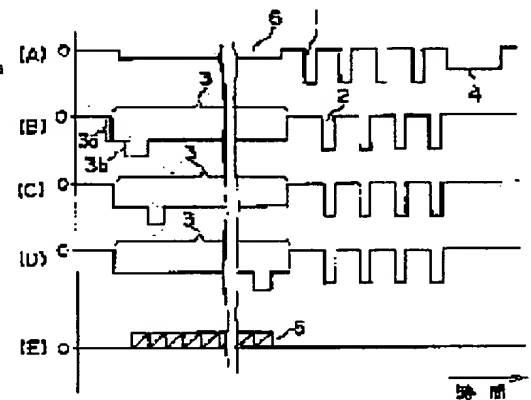
(72)Inventor : SANO YOSHIO
NAKAMURA SHIYUUJI

(54) DRIVING METHOD FOR MEMORY TYPE PLASMA DISPLAY PANEL

(57)Abstract:

PURPOSE: To make the operation of a scanning modulation pulse generating circuit sure and stable and to improve the productivity and reliability by holding scanning base pulses voltage at a constant value while scanning modulation pulses are outputted to all scanning lines.

CONSTITUTION: The scanning base pulses 3 are held at the constant voltage at least in a period wherein the scanning pulses 3 are applied, one after another. The voltage of the pulses 3 is suppressed to a voltage which does not cause write discharge even when superposed on the voltage of data pulses. Then subscanning pulses 6 which have a constant voltage are applied to a maintaining electrode in the batch scanning period wherein the scanning pulse voltage is applied to all the scanning lines one after another so that the potential difference between the scanning electrodes applied with the scanning pulse voltage and the maintaining electrode exceeds a discharge start voltage to cause misdischarge. Consequently, the scanning pulse voltage can be raised to a value required for the write discharge without misdischarge between the scanning electrodes and maintaining electrode.



LEGAL STATUS

[Date of request for examination] 07.04.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2503860

[Date of registration] 02.04.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-289811

(43)公開日 平成6年(1994)10月18日

(51)IntCl.³

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

B 9176-5G

審査請求 有 請求項の数 3 O L (全 11 頁)

(21)出願番号 特願平5-79959

(22)出願日 平成5年(1993)4月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐野 與志雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 中村 修士

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

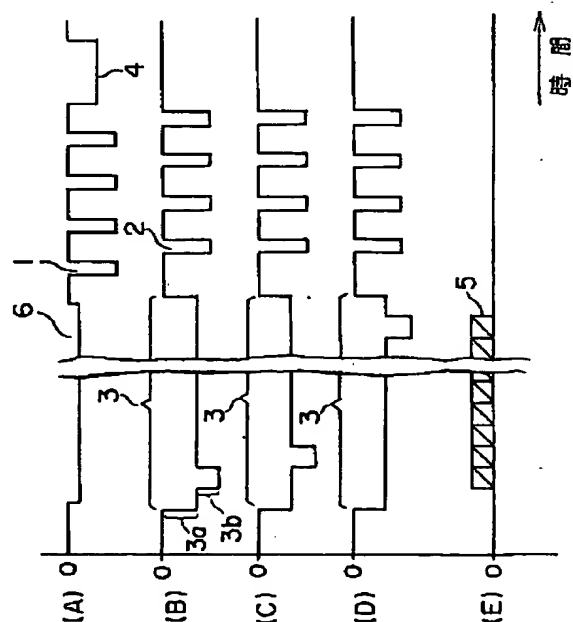
(54)【発明の名称】 メモリ型プラズマディスプレイパネルの駆動方法

(57)【要約】

【目的】 メモリ型ACプラズマディスプレイパネルの駆動で、走査変調パルス電圧と走査ベースパルス電圧を直列接続して走査パルス電圧とする走査回路の動作を安定にする。また、確実に書き込み放電、書き込み放電直後に起こる書き込み維持放電を発生させる。

【構成】 パネル全面の発光表示のための維持放電に先だってまとめて行う走査書き込みを、一定電圧からなる走査ベースパルス3aと、順次に走査電極に印加される走査変調パルス3bが重畳された走査パルス3により行う。また走査パルス印加中の走査電極と維持電極間の電位差が書き込み維持放電を誤放電なく発生できる範囲となるよう、走査期間中は副走査パルス6を維持電極に印加する。

【効果】 直列型走査回路の動作を確実・安定にできる。また、副走査パルスによりデータの書き込み確率が高められ、表示品位が向上する。



【特許請求の範囲】

【請求項1】 パネル全面あるいは分割されたパネル部分に亘ってまとめて行われる発光表示のための維持放電に先だって、パネル全面あるいは分割されたパネル部分に亘ってまとめて行われる走査書き込みを、走査書き込み期間中印加される一定電圧からなる走査ベースパルスと順次に走査電極に印加される走査変調パルスが重畳された走査パルスにより行うことを特徴とするメモリ型プラズマディスプレイパネルの駆動方法。

【請求項2】 請求項1記載のメモリ型プラズマディスプレイパネルの駆動方法において、

少なくともパネル全面あるいは分割されたパネル部分に亘ってまとめて行われる走査書き込みを行っている期間中は、走査パルス電圧が印加されている走査電極と維持電極との間の電位差が、書き込み維持放電における走査電極と維持電極との間の放電維持電圧の最低値以上であり、かつ、書き込み維持放電における走査電極と維持電極との間の放電開始電圧以下の範囲内となる、一定電圧の副走査パルスを維持電極に印加することを特徴とするメモリ型プラズマディスプレイパネルの駆動方法。

【請求項3】 請求項2記載のメモリ型プラズマディスプレイパネルの駆動方法において、

消去パルスを維持電極に共通に印加することを特徴とするメモリ型プラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、近年進展が著しいパーソナルコンピュータやオフィスワークステーション、ないしは将来の発展が期待されている壁掛けテレビ等に用いられる、いわゆるドットマトリクスタイプのメモリー型ACプラズマディスプレイパネルの駆動装置に関する。

【0002】

【従来の技術】 従来のAC型プラズマディスプレイパネルとしては図8に示す構造のものがある。図8において、(A)は平面図、(B)は(A)のx-x'断面図である。このプラズマディスプレイパネルは、ガラスよりなる第1絶縁基板11、同じくガラスよりなる第2絶縁基板12、行電極13、列電極14、He、Xe等の放電ガスが充填される放電ガス空間15、放電ガス空間を確保するとともに画素を区切る隔壁16、放電ガスの放電により発生する紫外光を可視光に変換する蛍光体17、行電極を覆う絶縁層18a、列電極を覆う絶縁層18b、絶縁体を放電より保護するMgO等よりなる保護層19で構成されている。なお、図8(A)において、参照番号20は画素を示している。蛍光体17を画素毎に3色に塗り分ければ、カラー表示可能なプラズマディスプレイを得ることができる。

【0003】 次に、プラズマディスプレイパネルの電極のみに着目した図を図9に示す。図9において、20は

画素、21はプラズマディスプレイパネル、22は第1絶縁基板11と第2絶縁基板12を張り合わせ、内部に放電ガスを封入し気密にシールするシール部、S₁、S₃、・・・、S_{m-2}、S_mは維持電極、S₂、S₄、・・・、S_{m-3}、S_{m-1}は走査電極、これらを合わせたS₁、S₂、・・・、S_{m-1}、S_mは行電極13である。また、D₁、D₂、・・・、D_{n-1}、D_nは列電極を示している。

【0004】 図10は、図8、図9に示したプラズマディスプレイパネルの駆動電圧波形、及び発光波形の一例を示す図である。図10において、波形(A)は、維持電極S₁、S₃、・・・、S_{m-2}、S_mに印加する電圧波形、波形(B)は、走査電極S₂に印加する電圧波形、波形(C)は、走査電極S₄に印加する電圧波形、波形(D)は、列電極D_jに印加する電圧波形、波形(E)は、画素a_{ij}の発光波形、を示している。維持電極S₁、S₃、・・・、S_{m-2}、S_mには、維持パルス31を印加する。また、走査電極S₂、S₄、・・・、S_{m-3}、S_{m-1}には、これらの電極に共通した維持パルス32のほかに、各走査電極に独立したタイミングで走査パルス33と消去パルス34を線順次に印加している。走査パルスは、さらに走査ベースパルス33aと、走査変調パルス33bに分かれている。このうち、走査ベースパルス33aは全ての走査電極に共通に印加される。走査変調パルス33bは各走査電極に個別に線順次に印加される。各列電極D_jには、発光データがある場合は、データパルス35を走査パルス33に同期して印加する。

【0005】 図8、図9に示した構成のプラズマディスプレイパネルにおいて、走査電極と列電極の間に同じタイミングで走査パルスとデータパルスを印加して書き込み放電を行わせると、その後は隣合う維持電極と走査電極の間で、維持パルス31と維持パルス32により維持放電が持続される。このような機能はメモリ機能と呼ばれる。また、走査電極に消去パルスと呼ぶ狭いパルス幅の低電圧パルスを印加すると、維持放電を停止させることができる。

【0006】 次に、上記のパルス波形を発生する回路の構成図を図11に示す。このような回路構成の類似の例は、例えば「プラズマディスプレイ」、大脇健一、吉田良教編著、共立出版株式会社(1983年11月15日初版1刷発行)、38頁に述べられている。図11において、41は維持電極S₁、S₃、・・・、S_{m-2}、S_mに印加する維持パルス31などを発生する維持側共通パルス発生器、42は走査電極S₂、S₄、・・・、S_{m-3}、S_{m-1}に共通な、維持パルス32、走査ベースパルス33aなどを発生する走査側共通パルス発生器である。44は走査変調パルス及び消去パルスの発生回路であり、CMOS回路などを用いてIC化することも多い。この回路例としては、例えば特開昭52-8313

5号公報、特開昭52-83136号公報に記載されている。このように、走査パルス走査電極に共通の走査ベースパルスと、個別の走査電極に印加する走査変調パルスに分けて、直列に合成して走査パルスを作り出すことで、走査変調パルス電圧を、走査ベース電圧がない場合に比べて小さくできる。従って、走査変調パルス・消去パルス発生回路44の中の走査変調パルス・消去パルス発生スイッチ45の動作電圧を小さくすることができ、走査変調パルス・消去パルス発生回路44を構成するICの耐電圧を低くすることができる。これにより、ICの信頼性を上げるとともに、ICのコストを低く抑えることができる。

【0007】なお図11において、46はデータパルス用直流電源、47はデータパルス発生回路、48はデータパルス発生スイッチ、43は走査変調パルス用直流電源、50は消去パルス用直流電源、49は走査変調パルス発生回路基準電位点、51は消去パルス発生回路基準電位点である。

【0008】また、図12、図13には、異なるプラズマディスプレイパネルの例を示す。図12において、(A)は平面図、(B)は(A)のx-x'断面図である。図から判るように、1画素に行電極13が2本入っている。このため、図13で判るように、維持電極の数は、図6の場合よりも1本少なく、S₁、S₃、・・・、S_{m-2}までとなっている。このパネルの駆動は、維持電極が図9の場合より、1本少ないことを除けば、図10と全く同じ駆動波形を用いることができる。

【0009】

【発明が解決しようとする課題】図11の回路構成では、走査変調パルス発生回路基準電位点49や、消去パルス発生回路基準電位点51の電位が、維持パルス、走査ベースパルス印加時に変動する。このため、走査変調パルス・消去パルス発生回路44を構成するICが誤動作し、実用に供することができなかった。

【0010】そこで、この問題を詳細に調べたところ、特に維持パルス、走査ベースパルスが変化するところでICがノイズを拾い誤動作することが判った。例えば、図10において、維持パルスは、幅2μ秒、周期16μ秒、ピーク電圧-160V、走査パルスは、幅5μ秒、電圧-180V、走査ベースパルスは、幅5μ秒、電圧は-100V程度とすることが多い。このとき、維持パルスや走査ベースパルスの立ち上がり、立ち下りの部分の時間幅は、1μ秒以下を必要とされる。すなわち、100V/μ秒以上の電圧変化率が要求されることになる。しかし、このように大きな電圧変化率で、走査変調パルス発生回路基準電位点49や、消去パルス発生回路基準電位点51の電位が変動すると、走査変調パルス・消去パルス発生回路44の全体の電位が、この変化に追いつくことができない。そのため、走査変調パルス・消去パルス発生回路44にノイズが乗ったのと同じ状況に

なる。これにより、走査変調パルス・消去パルス発生回路44が誤動作することが判った。この誤動作を避けるためには、走査変調パルス発生回路基準電位点49や、消去パルス発生回路基準電位点51の電圧変化率を小さくすることが有効である。しかし、図10のような駆動波形では、この電圧変化率を小さくすることができないという問題があった。

【0011】本発明の目的は、この電圧変化率を小さくして、低い耐電圧で動作可能な直列型走査回路を実用化することにある。

【0012】また、図10のような駆動波形を用いた場合、表示データの書き込み放電を確実にするために、走査電圧を高めようとすると、誤放電を生じ、正常な書き込み動作を行えなくなるという問題があった。また、逆に、維持パルス程度の走査電圧のみで書き込みが行われる場合は、書き込み動作が不完全になることがあった。

【0013】本発明の他の目的は、直列型走査回路を用いたプラズマディスプレイパネルの駆動装置において、さらに確実な書き込み動作を実現することにある。

【0014】

【課題を解決するための手段】本発明のメモリ型プラズマディスプレイパネルの駆動方法は、パネル全面あるいは分割されたパネル部分に亘ってまとめて行われる発光表示のための維持放電に先だって、パネル全面あるいは分割されたパネル部分に亘ってまとめて行われる走査書き込みを、走査書き込み期間中印加される一定電圧からなる走査ベースパルスと順次に走査電極に印加される走査変調パルスが重畳された走査パルスにより行うことを特徴とする。

【0015】本発明によれば、少なくともパネル全面あるいは分割されたパネル部分に亘ってまとめて行われる走査書き込みを行っている期間中は、走査パルス電圧が印加されている走査電極と維持電極との間の電位差が、書き込み維持放電における走査電極と維持電極との間の放電維持電圧の最低値以上であり、かつ、書き込み維持放電における走査電極と維持電極との間の放電開始電圧以下の範囲内となる、一定電圧の副走査パルスを維持電極に印加するのが好適である。

【0016】本発明によれば、さらに、消去パルスを維持電極に共通に印加するのが好適である。

【0017】

【作用】本発明は、課題を解決するための手段で述べた構成としたことにより、直列型走査回路の安定化を実現した。すなわち、直列型走査回路の動作を確実にするために、走査書き込みをまとめて行いその後維持放電のみをまとめて行う一括走査型の書き込み駆動方法を用いることとした。さらに、走査ベースパルス電圧を一括走査期間中一定値に保つようにした。これにより、図2の回路構成で、走査変調パルス発生回路64の基準電位点69の電位が、走査パルスを発生する期間中一定とする

ことができるようになった。このため、まず一括走査期間中は、走査変調パルス発生回路64の誤動作をなくすることができた。また、一括走査以外の期間では、走査変調パルス発生回路64の論理回路は動作する必要がないので、基準電位点69の電位が高速に変動してもかまわない。従って、本発明により、直列型走査回路を実用化することができるようになった。

【0018】なお、一括走査型の書き込み駆動方法については、特開昭63-151997号公報、特開平4-195188号公報に記載の方法がある。また、特開平4-42289号公報に開示されている方法も、一括走査型の書き込み駆動方法を含んでいる。

【0019】また、本発明は、課題を解決するための手段で述べた構成としたことにより、一括走査を行う場合の書き込み放電の安定化の問題を解決した。すなわち、誤放電なく書き込み放電を確実に維持放電に移行させるには、走査パルスとデータパルスにより発生した書き込み放電を種火として、書き込み放電直後に、走査電極と維持電極間で放電が発生すること（以下書き込み維持放電と呼ぶ）が必要なが新に判った。

【0020】この書き込み維持放電が確実に発生するには、書き込み放電が発生した時点で、走査電極と維持電極の間の電位差が次の2つの条件を満たす必要があった。1つは、この電位差が書き込み維持放電における走査電極と維持電極との間の放電維持電圧の最低値以上でないと書き込み維持放電が発生しない。ここで言う書き込み維持放電の最低値とは、ACパルス電圧を増大させて一般的に測定される放電維持電圧とは必ずしも一致するものではない。すなわち、走査電極と列電極間で書き込み放電が発生し、相当数の活性粒子が存在するとともに、走査電極上に壁電荷の蓄積が始まっている状態で規定されるものであり、一般的な放電維持電圧より高くなる場合が多い。

【0021】もう1つは、この電位差が、この電位差だけで自ら放電を開始する電圧（放電開始電圧）以下の電圧に設定されていることである。すなわち、走査パルス電圧が印加された走査電極と維持電極との間で、書き込み放電がないのに、書き込み維持放電が生じてはならない。なお、ここでの放電開始電圧は、維持パルスのみによる放電開始電圧よりも高い電圧となる。これは、走査パルスの周期が維持パルスの周期よりも非常に長いためである。

【0022】そこで、少なくとも走査パルス電圧が走査電極に印加されている走査期間中は、走査パルス電圧が印加されている走査電極と維持電極との間の電位差が、書き込み維持放電における走査電極と維持電極との間の放電維持電圧の最低値以上であり、かつ、書き込み維持放電における走査電極と維持電極との間の放電開始電圧以下の範囲の電圧となるように、副走査パルスを維持電極に印加することにした。これにより、

(1) 誤放電なく、走査パルス電圧を書き込み放電の最適値に設定できるので、書き込み放電が確実に起こせるようになった。

(2) 書き込み放電直後に発生する書き込み維持放電が、誤放電なく確実に発生するようになった。

(3) 書き込み維持放電が確実に発生すると、その後の維持放電も確実に起こるようになった。

【0023】これらの理由により、書き込み放電の全体的な確実性が大きく改善され、表示品位が著しく向上した。以下実施例により、詳しく説明する。

【0024】

【実施例】プラズマディスプレイパネルとして、図8、図9に示したものをを用いた。また、図9において、走査電極 $S_2, S_4, \dots, S_{n-3}, S_{n-1}$ は240本、維持電極 $S_1, S_3, \dots, S_{n-2}, S_n$ は241本、列電極 $D_1, D_2, \dots, D_{n-1}, D_n$ は960本である。各画素のピッチは、隣合う行電極の間が0.6mm、隣合う列電極の間が0.4mmである。

【0025】図1に本発明の第1の実施例の駆動波形を示す。図1において、波形(A)は維持電極 $S_1, S_3, \dots, S_{n-2}, S_n$ に印加する電圧波形、波形(B)は、最初の走査電極 S_2 に印加する電圧波形、波形(C)は、次の走査電極 S_4 に印加する電圧波形、波形(D)は、最後の走査電極 S_{n-1} に印加する電圧波形、波形(E)は、列電極 D_j に印加する電圧波形、である。維持電極 $S_1, S_3, \dots, S_{n-2}, S_n$ には、維持パルス1（パルス幅2.5 μ 秒、周期6 μ 秒、電圧-160V）を印加する。また、走査電極 $S_2, S_4, \dots, S_{n-3}, S_{n-1}$ には、これらの電極に共通した維持パルス2（パルス幅、周期、電圧は維持パルス1に同じ）のほかに、各走査電極に独立したタイミングで走査パルス3を印加している。消去パルス4は、パルス幅は広い（50 μ 秒）が電圧の低い（-100V）、いわゆる太幅消去パルスをを用いた。もちろん、このような消去パルスでなく、細幅の消去パルスや、なまった波形の消去パルス、及びこれらの複合パルスでも良い。

【0026】走査パルスは、さらに走査ベースパルス3a（パルス幅1400 μ 秒、電圧-100V）と、走査変調パルス3b（パルス幅5 μ 秒、電圧-80V）に分かれている。このうち、走査ベースパルス3aは全ての走査電極に共通に印加される。走査変調パルス3bは各走査電極に個別に印加される。図1から判るように、走査ベースパルス3aは、少なくとも走査パルス3が次々と印加されていく期間中は、一定電圧に保たれている。この走査ベースパルス3aの電圧は、当然のことながら、データパルス（パルス幅5 μ 秒、電圧80V）の電圧と重畳されても、書き込み放電を発生しない電圧に抑えられている。このように、走査パルスの発生期間中は、走査ベース電圧を一定値に保つことにより、図2に示したような駆動回路を用いても、走査変調パルス発生

回路64が誤動作を起こし異常な走査変調パルスが発生することを完全に防止できるようになった。

【0027】図2には、図1の駆動に用いる駆動回路の基本構成図を示す。図11の従来例と異なるところは、消去パルス4が維持電極 S_1 、 S_3 、 \dots 、 S_{n-2} 、 S_n に共通に印加されることである。この消去パルスは、維持側共通パルス発生器61より供給される。消去パルスを各走査電極に独立して印加する必要はないので、図11の走査変調パルス・消去パルス発生回路44は、走査変調パルス発生回路64のように簡略化することができ、走査変調パルス発生回路としては、日本電気(株)製の高耐圧IC、 μ PD16305を使用した。また、データパルス発生回路には、同じく日本電気(株)製の高耐圧IC、 μ PD16306を用いた。維持側共通パルス発生器61や、走査側共通パルス発生器62は、周知の高耐圧FETによるCMOS回路を用いた。

【0028】なお図2において、66はデータパルス用直流電源、67はデータパルス発生回路、68はデータパルス発生スイッチ、63は走査変調パルス用直流電源、65は走査変調パルス発生スイッチ、69は基準電位点である。

【0029】しかし、このように改良された駆動方法を用いた場合、特に走査電極と維持電極間のギャップが、走査電極と列電極間のギャップより狭い場合に、書き込み放電を確実に起こすために走査パルス電圧を高めると、誤放電が多くなることがあった。この原因として、走査電極と維持電極の間で、走査パルス電圧のみにより誤放電していることが考えられた。

【0030】そこで、図3の電圧波形図(波形(A)から(E)は図1において説明した波形である)に示すように、少なくとも走査パルス電圧が全ての走査電極に次々と印加されている一括走査期間中は、走査パルス電圧が印加されている走査電極と維持電極との間の電位差が放電開始電圧を超えて誤放電を起こさないように、一定電圧の副走査パルス6を維持電極に印加するようにした。これにより、走査電極と維持電極の間の誤放電無しで、走査パルス電圧を書き込み放電に必要な値まで高めることができるようになった。

【0031】このとき、副走査パルス6の電圧をあまり大きくし過ぎると、走査パルス電圧が印加されている走査電極と維持電極との間の電位差が小さくなりすぎてしまい、書き込み維持放電が発生できなくなる。従って、副走査パルス6の電圧は、走査電極と維持電極の間の電位差が、書き込み維持放電が発生できる電圧以上となるようにする必要があった。

【0032】以上の具体例として、図1で述べた場合を考えてみる。図1において、書き込み放電をさらに確実に発生させるために、走査変調パルス電圧を $-100V$ とし、走査パルス電圧のピーク値を $-200V$ に設定す

ると、走査パルス印加時に誤放電が発生する。そこで、図3に示した副走査パルス6の電圧を $-20V$ に設定すると、誤放電なく書き込み放電を確実に発生させることができるようになった。

【0033】また、上記の場合とは逆に、特に走査電極と維持電極間のギャップが、走査電極と列電極間のギャップより広い場合は、書き込み放電直後に発生すべき、走査電極・維持電極間の書き込み維持放電が発生せず、書き込み放電から維持放電への移行がうまくいかないことがあった。

【0034】そこで、図4の電圧波形図(波形(A)から(E)は図1において説明した波形である)に示すように、一括走査期間中は、走査パルス電圧が印加されている走査電極と維持電極との間の電位差が書き込み維持放電を発生できるように、走査パルスと逆極性の一定電圧の副走査パルス6を維持電極に印加することにした。すなわち、図3の実施例と同じく、走査パルスが印加されている走査電極と維持電極間の電圧を放電維持電圧の範囲内に収めるようにした。これにより、書き込み放電から書き込み維持放電への移行が確実に行われるようになった。

【0035】なお、本発明では、上記のように簡単のため走査電極と維持電極間のギャップ及び列電極間のギャップの大小として、現象を記述しているが、本来的に意味するところは、これらのギャップにより規定される放電開始電圧、放電維持電圧などの特性電圧の大小関係にある。特性電圧は構造、放電ガスなどの要因にも影響されるため、ギャップの大小と必ずしも1:1に対応するものではないことを付言しておく。

【0036】また、図3や図4の実施例から明らかなように、本発明の副走査パルスを用いることにより、維持電極と走査電極間のギャップと、走査電極と列電極間のギャップを、パネル設計時に自由に選択できるようになるため、設計の自由度が大変大きくなり、プラズマディスプレイパネルの生産上非常に有用である。

【0037】また、図5の電圧波形図(波形(A)から(E)は図1において説明した波形である)に示すように、走査パルス3は負電圧とし、維持パルス1、維持パルス2は正電圧としても何等差し支えない。

【0038】また、図6の電圧波形図(波形(A)から(E)は図1において説明した波形である)に示すように、走査パルス3、維持パルス1、維持パルス2を全て正電圧としても良い。この場合、データ側のICは、正電圧パルスが発生するようにつくられているのが普通なので、これをそのまま利用する。そして、負電圧の走査パルスを用いる場合とは逆に、正電圧の走査パルスが印加されるタイミングで、列電極に印加される電圧波形

(E)が零のときは、列電極と走査電極間の電位差が大きくなって書き込み放電が生じ、列電極に印加される電圧波形(E)が正電圧のときは、列電極と走査電極間の

電位差が小さくなって書き込み放電は生じない。

【0039】次に、図12、図13に示す電極構成のプラズマディスプレイパネルを用いて、副走査パルスそれぞれの維持電極に独立に印加した場合の例を図7に示す。図7において、波形(A)は、維持電極 S_1 に印加する電圧波形、波形(B)は、走査電極 S_2 に印加する電圧波形、波形(C)は、維持電極 S_3 に印加する電圧波形、波形(D)は、走査電極 S_4 に印加する電圧波形、波形(E)は、維持電極 S_{n-2} に印加する電圧波形、波形(F)は、走査電極 S_{n-1} に印加する電圧波形、波形(G)は、列電極 D_j に印加する電圧波形、を示している。図7から判るように、維持電極 S_1 、 S_3 、 \dots 、 S_{n-2} には、維持パルス1を共通に印加するとともに、各維持電極に独立して副走査パルス6を線順次に印加している。また、走査電極 S_2 、 S_4 、 \dots 、 S_{n-3} 、 S_{n-1} には、これらの電極に共通した維持パルス2のほか、各走査電極に独立した走査パルス3を線順次に印加している。走査パルス3は、他の実施例と同じく、全走査電極に共通な走査ベースパルス3aと、各走査電極に独立して線順次に印加される走査変調パルス3bとからなっている。この場合、書き込み放電の動作は、図6の場合と同様となる。

【0040】図7の電圧波形図から判るように、本実施例においては他の実施例と異なり走査パルス3は正極性、維持パルス1、維持パルス2は負極性としているが、他の実施例のような電圧配分としても良い。また消去パルス4は、他の実施例のように維持電極に印加しても良いし、本実施例のように維持電極ではなく、全ての走査電極に印加するようにしても良い。また、図7以外の実施例ではデータパルスは連続的に印加していたが、必ずしもこのようにする必要はなく、図7に示したようにデータパルスは離散的に印加しても良い。

【0041】以上の実施例では、パネル全面をまず一括走査し、その後に維持放電を行わせる場合を述べたが、必ずしもパネル全面ではなく、パネル全面を複数のパネル部分に分割し、それぞれのパネル部分に対して、本発明の駆動方法を適用しても良いことは言うまでもない。また、以上の実施例では、図8、図9及び図12、図13に示したAC面放電メモリ型プラズマディスプレイパネルを駆動した場合について述べたが、本発明は、これに限らず、どのような形式のACメモリ型プラズマディスプレイパネルにも適用できることはいうまでもない。

【0042】

【発明の効果】以上述べたように、本発明によれば、直列型走査回路を用いてACメモリ型プラズマディスプレイパネルを駆動する場合、走査変調パルスを連続して全走査ラインに出力する間、走査ベースパルス電圧が、一定値に保たれる。従って、走査変調パルス発生回路の基準電位が一定に保たれるようになり、走査変調パルス発生回路の動作を確実・安定なものとする事ができる。

従って、生産性が良く、安価で信頼性の高い、耐電圧の低いICを用いた直列型走査回路を実用的に用いることができ、安価で信頼性の高いプラズマディスプレイパネルの駆動装置を得ることができ、工業上非常に有益である。

【0043】また、一括走査期間において、維持側に副走査パネルを印加することにより、確実な書き込み放電が発生する範囲に走査パルス電圧を自由に設定できるようになる。さらに、副走査パルスにより、書き込み放電とほぼ同時に、書き込み維持放電が確実に起こるようになる。

【0044】従って書き込み放電が確実に発生するとともに、書き込み放電から書き込み維持放電、その後の維持放電への移行が確実となり、総合的なデータの書き込み確率が高められ、表示品位が向上する。

【0045】また、本発明を用いることにより、維持電極と走査電極間のギャップと、走査電極と列電極間のギャップを、パネル設計時に自由に選択できるようになるため、設計の自由度が大変大きくなり、プラズマディスプレイパネルの生産上非常に有用である。

【図面の簡単な説明】

【図1】本発明の駆動方法の第1の実施例を示す図である。

【図2】本発明の駆動方法を用いる駆動回路の構成図である。

【図3】本発明の駆動方法の第2の実施例を示す図である。

【図4】本発明の駆動方法の第3の実施例を示す図である。

【図5】本発明の駆動方法の第4の実施例を示す図である。

【図6】本発明の駆動方法の第5の実施例を示す図である。

【図7】本発明の駆動方法の第6の実施例を示す図である。

【図8】プラズマディスプレイパネルの平面図と断面図である。

【図9】図8のプラズマディスプレイパネルの電極配置に注目したプラズマディスプレイパネルの構成図である。

【図10】プラズマディスプレイパネルの駆動電圧波形及び発光波形を示す図である。

【図11】従来のプラズマディスプレイパネルの駆動回路構成図である。

【図12】プラズマディスプレイパネルの異なる例の平面図と断面図である。

【図13】図12のプラズマディスプレイパネルの電極配置に注目した構成図である。

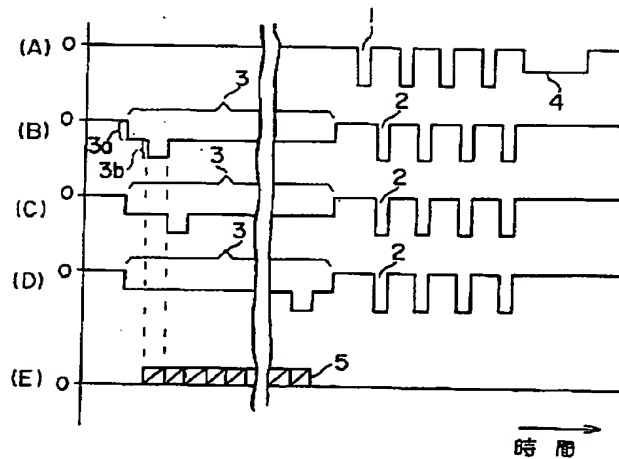
【符号の説明】

1, 31 維持パルス

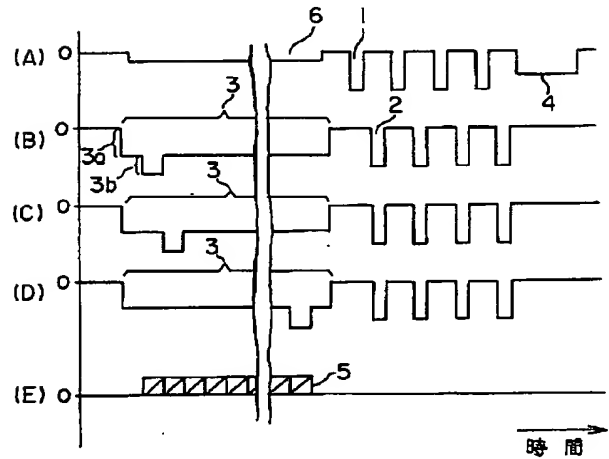
- 2, 3 2 維持パルス
- 3, 3 3 走査パルス
- 3 a, 3 3 a 走査ベースパルス
- 3 b, 3 3 b 走査変調パルス
- 4, 3 4 消去パルス
- 5, 3 5 データパルス
- 6 副走査パルス
- 1 1 第1絶縁基板
- 1 2 第2絶縁基板
- 1 3 行電極
- 1 4 列電極
- 1 5 放電ガス空間
- 1 6 隔壁
- 1 7 蛍光体
- 1 8 a, 1 8 b 絶縁層
- 1 9 保護層
- 2 0 画素
- 2 1 プラズマディスプレイパネル
- 2 2 シール部

- 4 1, 6 1 維持側共通パルス発生器
- 4 2, 6 2 走査側共通パルス発生器
- 4 3, 6 3 走査変調パルス用直流電源
- 4 4 走査変調パルス・消去パルス発生回路
- 4 5 走査変調パルス・消去パルス発生スイッチ
- 4 6, 6 6 データパルス用直流電源
- 4 7, 6 7 データパルス発生回路
- 4 8, 6 8 データパルス発生スイッチ
- 4 9 走査変調パルス発生回路基準電位点
- 10 5 0 消去パルス用直流電源
- 5 1 消去パルス発生回路基準電位点
- 6 4 走査変調パルス発生回路
- 6 5 走査変調パルス発生スイッチ
- 6 9 基準電位点
- $D_1, D_2, \dots, D_{n-1}, D_n$ 列電極
- $S_1, S_2, \dots, S_{n-1}, S_n$ 行電極
- $S_1, S_3, \dots, S_{n-2}, S_n$ 維持電極
- $S_2, S_4, \dots, S_{n-3}, S_{n-1}$ 走査電極

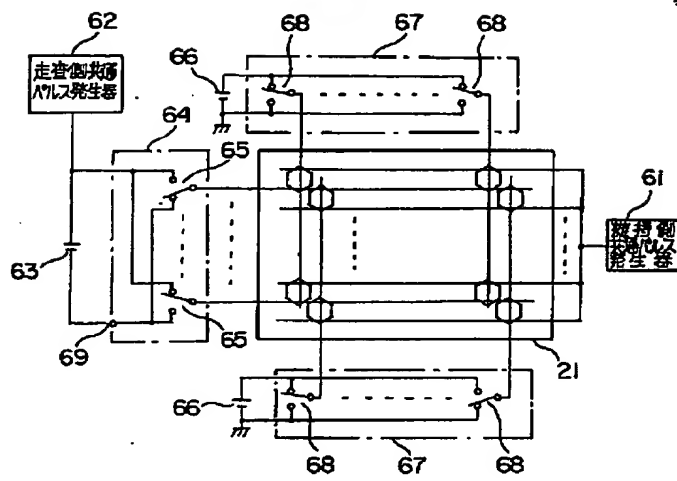
【図1】



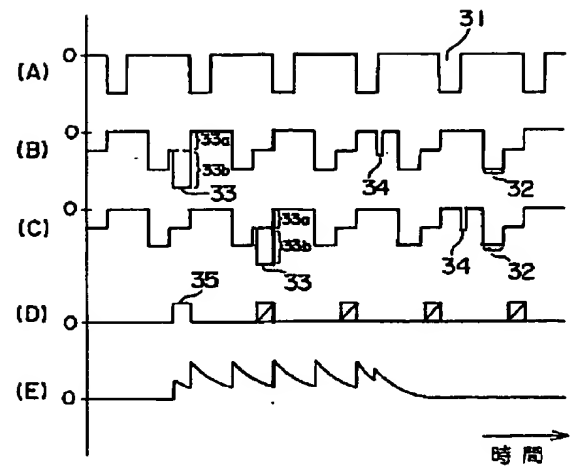
【図3】



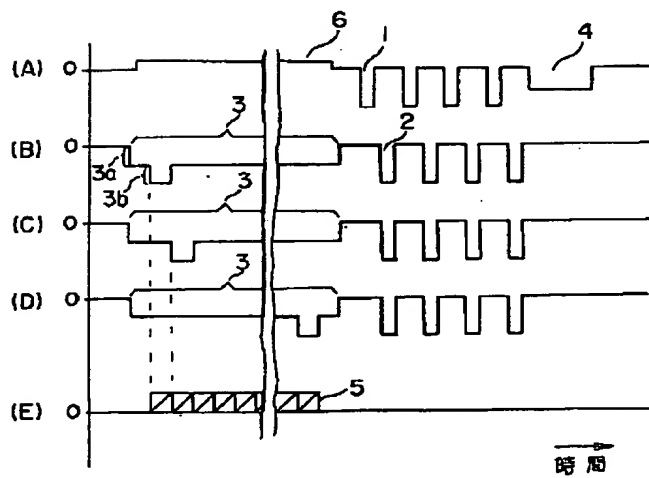
【図2】



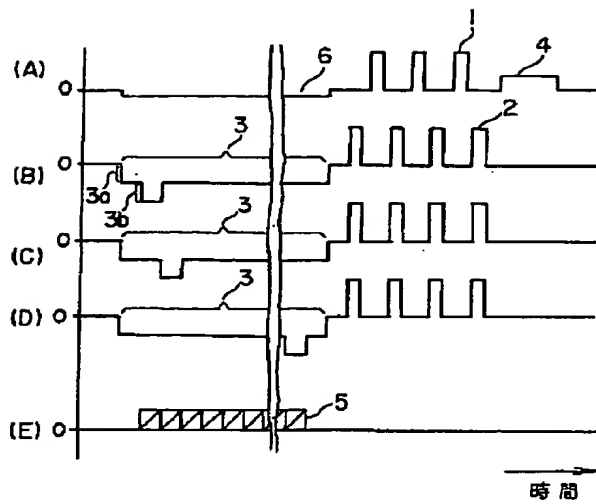
【図10】



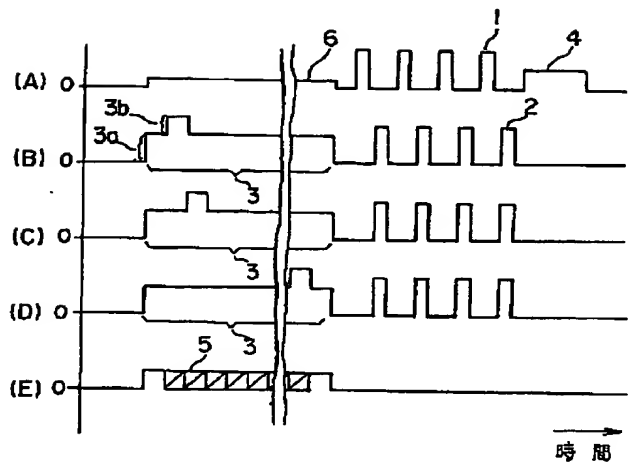
【図4】



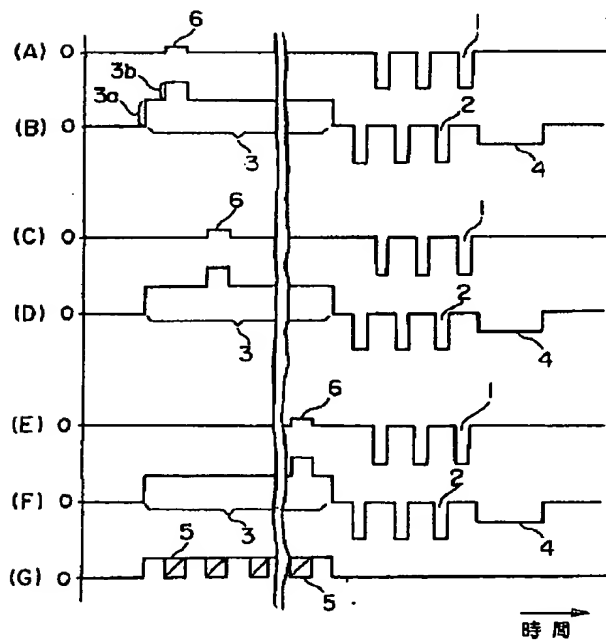
【図5】



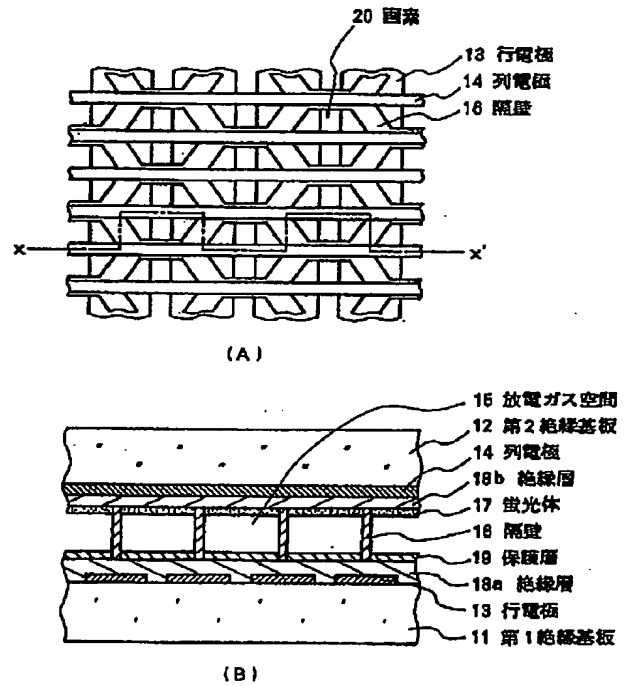
【図6】



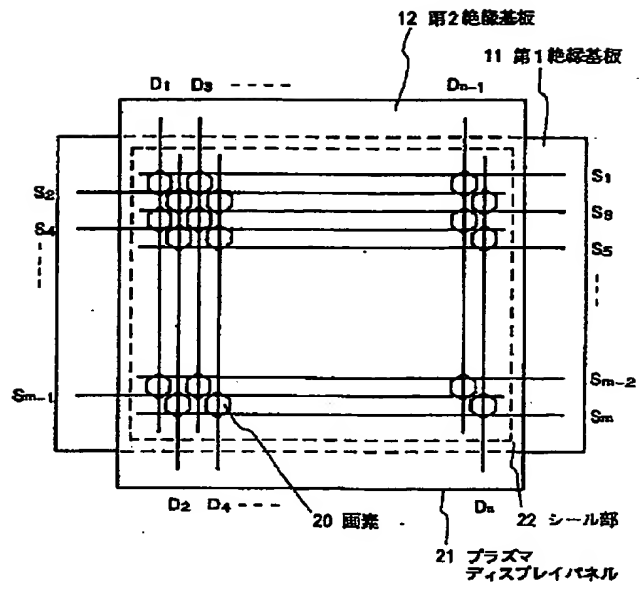
【図7】



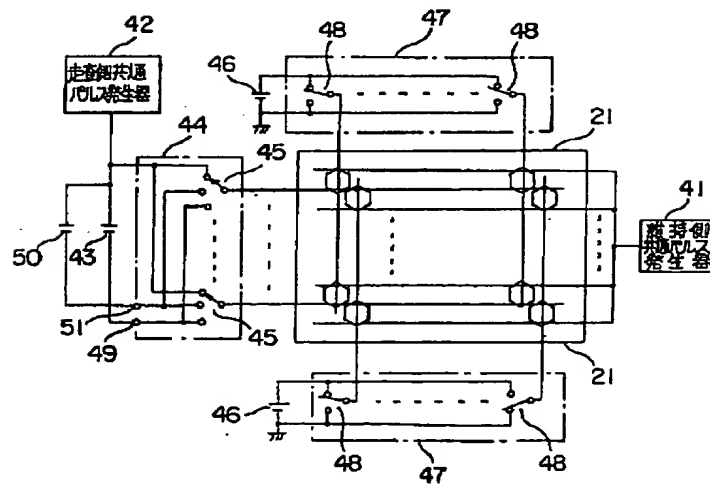
【図8】



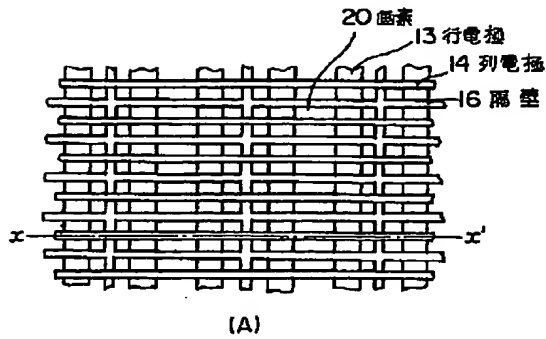
【図9】



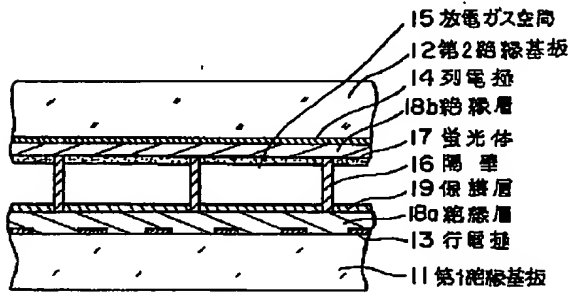
【図11】



【図12】



(B)



【図13】

